

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-264522

(43)Date of publication of application : 29.10.1990

(51)Int.Cl.

H03M 7/30
H04N 7/13

(21)Application number : 01-085424

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

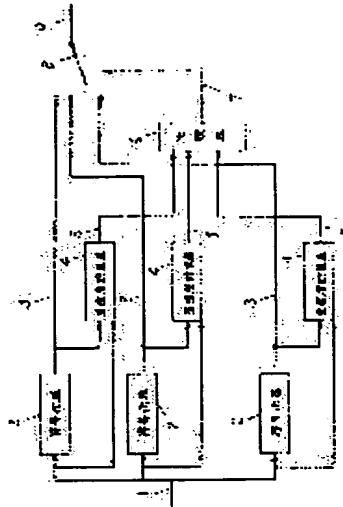
(22)Date of filing : 04.04.1989

(72)Inventor : SUMINO SHINYA

(54) ENCODER

(57)Abstract:

PURPOSE: To attain minimum encode distortion and to encode with high quality when an upper limit of a code length is decided in an input signal series by providing a distortion speed calculator and comparing signals at an encoding distortion speed when an encoder is selected.
CONSTITUTION: An input signal 1 is encoded by each encoder 2 and an encoded signal 3 is outputted and the distortion speed is calculated from the signals 3, 1 by each distortion speed calculator 4. Then a distortion speed signal 5 outputted from each calculator 4 is inputted to a comparator 6, in which each distortion speed is compared. Then a signal representing the encoder 2 having the least distortion speed is outputted from the comparator 6 as an encoded selection signal 7 and a changeover device 8 uses the signal 7 to switch the signal 3 to form an encoded output signal 9. That is, the selection of the signal 3 is made based on the distortion speed, then the distortion per unit code length is decreased in average. When the limit of the code length is decided, since the minimum encoding distortion is obtained, the encoding with higher quality is attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(11) 特許出願公開

(12) 公開特許公報 (A)

平2-264522

(5) Int. Cl. 5

H 03 M 7/30
H 04 N 7/13

識別記号

庁内整理番号

(4) 公開 平成2年(1990)10月29日

Z 6832-5J
6957-5C

審査請求 未請求 請求項の数 1 (全4頁)

(6) 発明の名称 符号化装置

(2) 特願 平1-85424

(2) 出願 平1(1989)4月4日

(7) 発明者 角野 真也 大阪府門真市大字門真1006番地 松下電器産業株式会社内

(7) 出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地

(7) 代理人 弁理士 栗野 重孝 外1名

明細書

1. 発明の名称

符号化装置

2. 特許請求の範囲

入力信号を符号化する少なくとも2つの符号化器と、これら符号化器で符号化した情報の歪速度を計算する歪速度計算器と、前記歪速度を互いに比較して前記符号化器出力から1つを選択する信号を出力する比較器と、この比較器の出力に従って前記符号化器出力の1つを符号化出力として出力する切り替え器とを備えたことを特徴とする符号化装置。

3. 発明の詳細な説明

発明の分野

本発明は画像信号・音声信号等を帯域圧縮する符号化装置に関するものである。

従来の技術

従来の符号化装置の一例を第3図に示す。1は入力信号であり、2は前記入力信号1を符号化する符号化器であり、3は前記符号化器2の符号化

信号であり、10は前記入力信号1と前記符号化信号3の歪を計算する歪計算器であり、11は前記歪計算器10で計算した符号化歪信号であり、8は前記符号化歪信号11を互いに比較して符号化歪が最小である符号化器2を選択する比較器であり、7は符号化歪が最小である符号化器2を示す符号化器選択信号であり、8は全ての前記符号化信号3から前記符号化器選択信号7で1つの符号化信号を選択する切り替え器であり、9は前記切り替え器8で選択された符号化出力信号である。

以上のように構成された従来の符号化装置においては、複数の符号化器2で符号化した符号化信号3の中で、最も符号化歪の小さい符号化信号3が切り替え器8で切り換えられて符号化出力信号9として出力される。複数の符号化器2の何れの符号化信号3が選択されたかを示す符号化器選択信号は、符号化出力信号9と共に伝送される。この符号化器選択信号は符号化器2で同時に符号化して符号化信号3に含ませることもできる。

発明が解決しようとする課題

しかしながら、上記のような構成では、符号化器2で符号化された符号長が各符号化器2で異なる場合や符号化器2で可変長符号化を行なう場合に不都合が生じる。

例えば、ある一定の入力信号系列に対して、その系列を符号化した信号の符号長の上限が決っているものとする。その場合に入力信号系列のある入力信号に対して値かな符号化歪を低減するため、非常に符号長の長い符号が割り当てられる可能性がある。その結果、他の入力信号に対して許容される符号長が相対的に短くなり、符号化器の符号化歪の増加を許容しても符号長が短くなるような調整が必要となることが充分考えられる。

従って、ある入力信号系列単位での符号化歪は、比較器6で最小の歪となる符号化信号を選択した場合でも、必ずしも最小であるとは言えない。

課題を解決するための手段

本発明は、入力信号を符号化する少なくとも2つの符号化器と、これら符号化器で符号化した情報の歪速度を計算する歪速度計算器と、前記歪速

度を比較して符号化歪速度が最小である符号化器2を選択する比較器であり、7は符号化歪速度が最小である符号化器2を示す符号化器選択信号であり、8は全ての前記符号化信号3から前記符号化器選択信号7で1つの符号化信号3を選択する切り替え器であり、9は前記切り替え器8で選択された符号化出力信号である。

以上のように構成された本実施例の符号化装置について、以下の動作を説明する。

入力信号1は符号化器2で符号化されて符号化信号3が出力される。この符号化信号3と前記入力信号1は歪速度計算器4で歪速度が計算される。歪速度とは単位符号長あたりの歪を表すものであり、この歪を計算するために符号化信号3を復号する復号化器が各歪速度計算器4に内蔵されているものとする。これら歪速度信号5は比較器6に入力され、前記歪速度は互いに比較される。各符号化器で最小の歪速度が最小である符号化器2を示す信号が、この比較器6から符号化選択信号7として出力される。切り替え器8ではこの符号化

度を互いに比較して前記符号化器出力から1つを選択する信号を出力する比較器と、前記比較器出力に従って前記符号化器出力の1つを符号化出力として出力する切り替え器とを備えたことを特徴とする符号化装置である。

作用

本発明は上記構成により、符号化器を選択する場合に、符号化歪速度で比較をする。歪速度は単位符号長あたりの歪を表すので、ある入力信号系列において符号長の上限が決定された場合に、最小の符号化歪とすることができる。

実施例

第1図は、本発明の第1の実施例における符号化装置のブロック図を示すものである。

同図において、1は入力信号であり、2は前記入力信号1を符号化する符号化器であり、3は前記符号化器2の符号化信号であり、4は前記入力信号1と前記符号化信号3の歪速度を計算する歪速度計算器であり、5は前記歪計算器4で計算した符号化歪速度であり、6は前記符号化歪速度5

選択信号7で符号化信号3を切り替えて符号化出力信号9とする。

このように符号化信号3の選択が歪速度を基準にしているので、単位符号長あたりの歪を平均的に小さくすることができる。ここで、各符号化器2が固定長符号化器の場合には歪速度が符号化器2の符号長に反比例するので、歪速度計算器4は従来の歪計算器(第3図参照)に定数倍器を付加したものと同じであり、従来の符号化装置と比べてもそれほどハードウェア規模は大きくならない。なお、符号化器2が可変長符号化の場合には歪速度計算器4では除算器が必要であるが、歪速度がほぼ同程度の場合には厳密に最小の歪速度を選ばなくても効果は十分であり、従って前記除算器を簡単化してハードウェア規模を小さくしてもよい。

以上のように、本実施例によれば、歪速度計算器4で歪速度を計算し、歪速度を基準として符号化信号3を選択することにより、符号化歪が小さく、長期的な歪の変動が少ない符号化装置を構成できる。

第2図は、本発明の第2の実施例における符号化装置のブロック図である。

一般に、ある入力信号系列に対して、その符号長すなわち伝送速度の上限が制約される場合には、バッファによる符号化器制御を伴うことが多い。本実施例はバッファ制御を備えた符号化装置の一例である。

同図において、第1の実施例との違いは符号化出力信号9がバッファ12に一時的に蓄えられて、バッファ出力13とバッファの蓄積量を示すバッファ制御信号14とが付加されたことである。そのほかの構成は第1の実施例と同様なので共通符号を付して示し、説明は省略する。

符号長が大きい符号化出力信号9が頻繁に発生するとバッファ12の蓄積量が増大し、符号化器2にバッファ制御信号14を出力して符号長が短くなるような符号化を促す。例えば、符号化器2の量子化精度を粗くしたり、符号長が短くなるような符号割当に変更する等の制御を行なう。しかし、このような制御は一般に歪の増加を伴い、長

周期的な符号化歪の変動を引き起こすので好ましくはない。しかるに本実施例の歪速度計算器4を用いて歪速度で制御を行なうことにより、従来の歪を用いる符号化装置よりもバッファの変動を少なくすることができ、歪の変動の少ない良好な符号化を行なうことができる。

本発明は上記実施例に示すほか、種々の態様に構成することができる。例えば第2の実施例において、バッファ12の蓄積情報によって符号化器2を制御したが、比較器6を制御してもよい。また上記実施例において、歪速度のみを用いて比較器6で符号化信号を選択しないで、従来の符号化歪を併用し、より符号化歪の低減化・符号化歪の変動の抑制化をはからてもよい。

発明の効果

以上説明したように、本発明によれば、ある入力信号系列において符号長の上限が決定された場合に、最小の符号化歪とすることができます、より高品位の符号化が可能となるので、その実用的效果は大きい。

4. 図面の簡単な説明

第1図は本発明の第1の実施例における符号化装置のブロック図、第2図は本発明の第2の実施例における符号化装置のブロック図、第3図は従来の符号化装置のブロック図である。

2...符号化器、4...歪速度計算器、6...比較器、8...切り換え器。

代理人の氏名 弁理士 栗野重孝 ほか1名

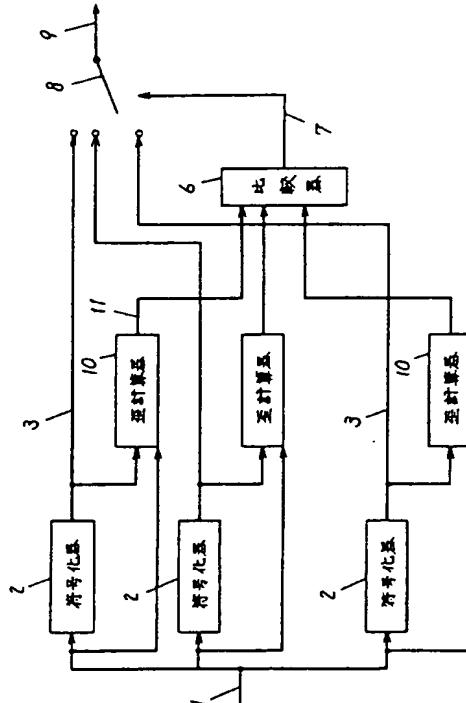
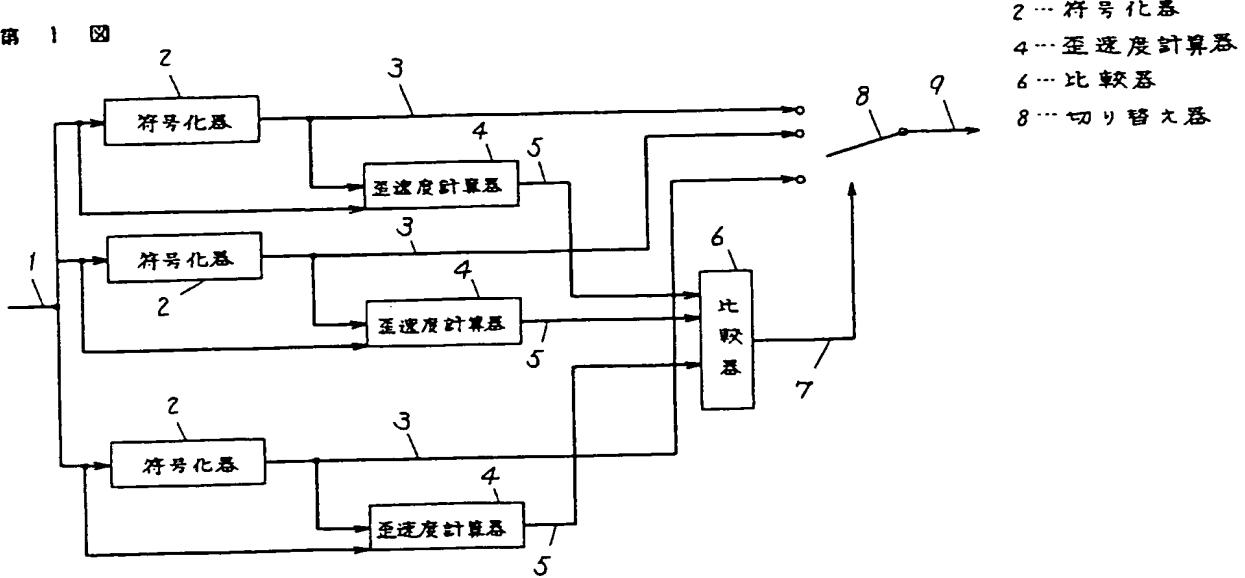


図
第3図

第1図



第2図

